

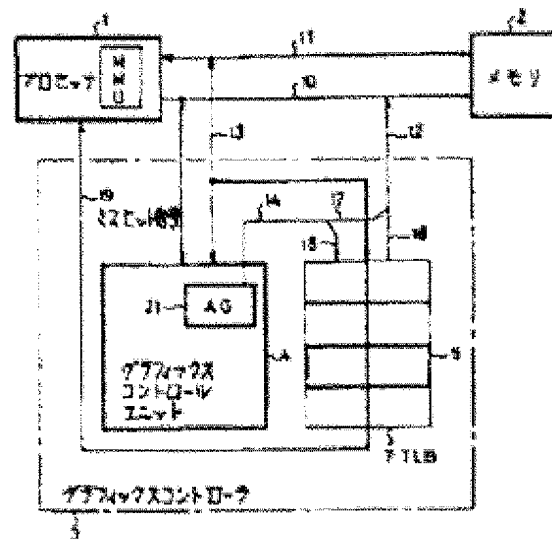
ADDRESS TRANSLATING DEVICE

Patent number: JP4311233
Publication date: 1992-11-04
Inventor: KATAYAMA HIROSHI
Applicant: NIPPON ELECTRIC CO
Classification:
 - international: **G06F12/10; G06F12/08; G06F12/10; G06F12/08;**
 (IPC1-7): G06F12/10
 - european:
Application number: JP19910104879 19910409
Priority number(s): JP19910104879 19910409

[Report a data error here](#)

Abstract of JP4311233

PURPOSE: To make a memory which is controlled for a virtual storage accessible by translating a logical address generated by means of a peripheral controller into a physical address. **CONSTITUTION:** A translation reference buffer (TLB) 7 is constituted by combining plural pieces of address translating information 5 respectively constituted to store a set of logical address information 16 and physical address information 18 and selects suitable one out of plural address translating information and outputs the physical address information contained in the selected address translating information to a memory 2 against address information 14 inputted from a graphics control unit 4. When the suitable address translating information cannot be selected, the TLB 7 outputs a mis-hit signal to a processor 1. Therefore, a graphics controller can translate a logical address into a physical address and a graphics system corresponding to a virtual storage can be realized.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-311233

(43) 公開日 平成4年(1992)11月4日

(51) Int.Cl.⁵

G 0 6 F 12/10

識別記号

序内整理番号

A 7232-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 8 頁)

(21) 出願番号 特願平3-104879

(22) 出願日 平成3年(1991)4月9日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 片山 博史

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 井出 直孝

(54) 【発明の名称】 アドレス変換装置

(57) 【要約】

【目的】 周辺コントローラが生成する論理アドレスを物理アドレスに変換することにより、仮想記憶制御されたメモリへのアクセスを可能とする。

【構成】 変換参照バッファ (TLB) 7 は、論理アドレス情報 (16) と物理アドレス情報 (18) とを一組として記憶するように構成したアドレス変換情報 5 を複数個合わせて構成され、グラフィックスコントロールユニット 4 から入力されるアドレス情報 (14) に対し、複数のアドレス変換情報の中から適合した一つを選択し当該アドレス変換情報に含まれる物理アドレス情報をメモリ 2 に対して出力し、適合したアドレス変換情報が選択できないときはミスヒット信号をプロセッサ 1 に対して出力する。

【効果】 グラフィックスコントローラにおいて論理アドレスとして物理アドレスの変換を行うことができ、仮想記憶に対応したグラフィックスシステムを実現できる。

【特許請求の範囲】

【請求項1】 プロセッサから入力されるデータにより論理アドレス情報を生成する論理アドレス発生手段と、この生成された論理アドレス情報を物理アドレス情報に変換しメモリに対して出力する変換参照バッファとを備えたアドレス変換装置において、前記変換参照バッファは、前記論理アドレス情報と前記物理アドレス情報とを一組として記憶するように構成したアドレス変換情報を複数個組み合わせて構成され、入力される前記論理アドレス情報に対し、前記複数のアドレス変換情報の中から適した一つのアドレス変換情報を選択し当該アドレス変換情報に含まれる物理アドレス情報を前記メモリに対して出力し、適したアドレス変換情報を選択できないときはミスヒット信号を前記プロセッサに対して出力する手段を含むことを特徴とするアドレス変換装置。

【請求項2】 請求項1に記載のアドレス変換装置において、前記変換参照バッファは、前記アドレス変換情報として前記論理アドレス情報および前記物理アドレス情報のほかに、変換処理を制御する制御情報を含み、この制御情報に対する処理手段を含むことを特徴とするアドレス変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、周辺コントローラにおけるアドレス変換装置に利用され、特に、グラフィックスコントローラで、仮想記憶やマルチタスクを用いたコンピュータシステムにおける描画アドレスのアドレス変換装置に関する。

【0002】

【従来の技術】 近年、パーソナルコンピュータにおいても仮想記憶制御をサポートしたオペレーティングシステムが登場してきた。これは、マイクロプロセッサの処理能力の向上やアドレス空間の拡大とともに、メモリ管理ユニット（以下、MMU (Memory Management Unit) という。）がプロセッサへ内蔵されたことが寄与している。

【0003】 仮想記憶制御を行うシステムの場合、アドレス変換の機構が必要となる。すなわち、プロセッサ等のバスマスタ（アドレスを出力する装置）が出力する論理アドレスを、実際にメモリ等においてアクセスされる物理アドレスに変換する必要がある。このアドレス変換を行うのがMMUであるが、最近のプロセッサでは内蔵している場合が多い。この場合、プロセッサから出力されるアドレスは物理アドレスとなる。

【0004】 ここで、代表的な仮想記憶管理方式であるページング方式について図7を用いて簡単に説明する。ページング方式では、論理アドレス33を複数の部分（図7の場合は三つ）に分け、それぞれエリアID、ページID、およびページ内オフセットとよぶ。最初エリアテーブル35からエリアIDに対応するページテー

ブルアドレスを得る。次に、このページテーブルアドレスによって示されるページテーブル36からページIDに対応する物理ページ番号を得る。物理アドレス34は、この物理ページ番号とページ内オフセットを結合することによって得られる。

【0005】 しかし、エリアテーブル35やページテーブル36はメモリ32上に格納されているので、メモリアクセスの都度このようなテーブル参照を繰り返すのでは非常に遅いシステムになってしまう。そこで、変換参照バッファ（以下、TLB (Translation Look-aside Buffer) という。）37を用いる。TLB37は連想メモリで構成されていて、論理アドレス33からページ内オフセットを除いた部分（エリアID、ページID）をキー入力として用い、その入力に対応する物理ページ番号を出力として持つ。キー入力と同じ値がTLB37に登録されていた場合は、直ちに対応する物理ページ番号を出力し、物理アドレス34を生成することができる。もし、キー入力値がTLB37に登録されていなかった場合は、ミスヒット信号38を出力する。プロセッサ31は、このミスヒット信号38を受け取るとエリアテーブル35やページテーブル36を参照し、物理ページ番号を求める。得られた物理ページ番号は、物理アドレス34の生成に用いられるとともに、エリアIDおよびページIDの値と組にしてTLB37へ登録される。従って、あるページへのアクセスの場合、最初に一度テーブル参照を行ってTLB37に登録しておく、2回目からのアクセスはTLB37を通じて高速に行うことができる。1ページの大きさは通常1～16キロバイトの間に設定される。

【0006】 図3は論理アドレス空間と物理アドレス空間の対応の例である。ここでは、1ページを4キロバイトとしている。このように、ページング方式では、連続する論理ページが離散した物理ページに対応する。

【0007】 さて、一般のアプリケーションレベルのソフトウェアは論理アドレスに基づいて動作し、その論理アドレスがどの物理アドレスに対応しているかは通常知ることとはできない。MMUを操作し、論理アドレスと物理アドレスの対応付けを行うことができるのは、特権レベルあるいはスーパーバイザと呼ばれるモードで動作するオペレーティングシステム（以下、OSという。）のみである。

【0008】 ここで問題となるのが、プロセッサの外に存在し、かつバスマスタとなる周辺コントローラの扱いである。仮想記憶でないシステムの場合は、プロセッサ、周辺コントローラ、およびそれらを制御するソフトウェアは全て同じアドレス情報を基に動作していた。しかし、仮想記憶制御の下では、プロセッサや周辺コントローラがバスを駆動するアドレスは物理アドレスであり、ソフトウェアが管理するアドレスは論理アドレスである。このとき、プロセッサ自身はMMUによって自動

的に論理アドレスと物理アドレスの変換が行われるが、周辺コントローラはMMUを持たないのでそのような変換を行うことができない。必然的にそのままでは仮想記憶システムに対応できない。このようなバスマスタになることのできる周辺コントローラとして、DMAC (Direct Memory Access Controller) とグラフィックスコントローラが挙げられる。

【0009】DMACでは、例えば、68450 (モトローラ) や82258 (インテル) 等が仮想記憶に対応できる製品として発表されているが、グラフィックスコントローラはいまだ仮想記憶に対応していない。DMACにおける仮想記憶への対応といっても、離散化している物理ページを連続してアクセスするための機構を有するのみで、DMACに与えるアドレス情報は全て物理アドレスでなければならない。そのためアドレス変換処理はプロセッサが行う必要がある。しかし、DMACの場合はアクセスするアドレスがあらかじめ決定できるのでそれでもよいが、グラフィックスコントローラの場合は、実際にアクセスが行われるまで描画アドレス (= 論理アドレス) を知ることが困難なため、プロセッサがあらかじめ論理アドレスを物理アドレスに変換しておいて、グラフィックスプロセッサへ物理アドレスに即した描画パラメータを設定することは不可能である。そのため、従来は、仮想記憶システムにおいて、グラフィックスを描画するために、次のような方式を取ってきた。

【0010】第一は、仮想記憶を行わないようにしたグラフィックス描画専用のメモリ領域を用意し、グラフィックスコントローラはその領域にしか描画を行わないようにする方式。

【0011】第二は、仮想記憶が行われている領域へグラフィックスを描画するときには、グラフィックスコントローラを使用せずにプロセッサが描画を行う方式。

【0012】すなわち、仮想記憶管理された領域へグラフィックスコントローラによって描画を行うことはほとんど不可能であった。しかし、今後は仮想記憶システムの普及とともに、マルチタスク処理やウィンドウ表示機能の必要性も増加すると考えられるが、このときにはシステムメモリの全体にわたって、グラフィックスコントローラが高速に描画を行える必要がある。

【0013】

【発明が解決しようとする課題】以上説明したように、従来のグラフィックスコントローラでは仮想記憶によって管理されたメモリ領域に対して描画を行うことができなかった。これは、グラフィックスコントローラに制御情報を与えるソフトウェアが論理アドレスに基づいて設計されるのに対し、グラフィックスコントローラがアクセスするアドレスは物理アドレスでなければならないことに起因する。さらに、仮想記憶がページング方式によって行われる場合、論理アドレス上では連続する領域が

物理アドレス上では離散した領域としてマッピングされることが、仮想記憶への対応をさらに困難なものにしている。

【0014】また、仮想記憶システムの上ではマルチタスクやマルチウィンドウ等の処理が行われる場合が多い。マルチタスクにおいて各タスクがそれぞれ独立に何らかのグラフィックスを表示しようとしたとき、直接にフレーム領域 (この領域の内容がCRT等に表示される。通常この領域は仮想記憶管理を行わない) へ描画を行うと、表示の優先順位が崩れるなどの混乱が生ずるので、一たんワークエリアへ描画を行い、次いでその描画結果から表示すべき部分のみをフレーム領域に転送して表示を行う方式が取られる場合がある。このような場合、各タスクが使用する描画用のワークエリアは、一般にシステム領域 (仮想記憶管理された領域) に獲得する必要がある。この場合、仮想記憶領域を自由にアクセスできることは必須条件であり、そのような機能を有するグラフィックスコントローラの必要性は非常に高い。

【0015】前記のような課題は、グラフィックスコントローラがプロセッサが有するのと同様なMMUを内蔵すれば解決できるが、一方、仮想記憶の実現方法はMMUのハードウェア構成やOSによってさまざまであり、特定の方式のみをサポートすることは汎用性を失わせる結果となる。また、グラフィックスコントローラにMMUを内蔵するためには、グラフィックスコントローラ自身がページテーブル等を参照してアドレス変換情報を作る必要があり、そのためのファームウェア等が必要となる。さらに、テーブルの参照にはOSによって保護されるべきシステム領域のアクセスが必要となるが、周辺コントローラがプロセッサの管理を離れてこのようなシステム領域へアクセスを行うことは危険であり、好ましくない。

【0016】本発明の目的は、前記の課題を解決することにより、周辺コントローラ、特に、グラフィックスコントローラにおいて論理アドレスと物理アドレスの変換を行うことができ、仮想記憶に対応したグラフィックスシステムを構成できるアドレス変換装置を提供することにある。

【0017】

【課題を解決するための手段】本発明は、プロセッサから入力されるデータにより論理アドレス情報を生成する論理アドレス発生手段と、この生成された論理アドレス情報を物理アドレス情報に変換しメモリに対して出力する変換参照バッファとを備えたアドレス変換装置において、前記変換参照バッファは、前記論理アドレス情報と前記物理アドレス情報とを一組として記憶するように構成したアドレス変換情報を複数個組み合わせて構成され、入力される前記論理アドレス情報に対し、前記複数のアドレス変換情報の中から適合した一つのアドレス変換情報を選択し当該アドレス変換情報に含まれる物理ア

ドレス情報を前記メモリに対して出力し、適合したアドレス変換情報を選択できないときはミスヒット信号を前記プロセッサに対して出力する手段を含むことを特徴とする。

【0018】また、本発明は、前記変換参照バッファは、前記アドレス変換情報として前記論理アドレス情報および前記物理アドレス情報のほかに、変換処理を制御する制御情報を含み、この制御情報に対する処理手段を含むことを特徴とする。

【0019】

【作用】変換参照バッファ（TLB）は、論理アドレス情報と物理アドレス情報とを一組として記憶しており、論理アドレス情報が入力されると、それに適合した論理アドレス情報を探し、もしあれば当該論理アドレス情報と組になっている物理アドレス情報を取り出してメモリに対して出力する。そして、もし適合するものが登録されていないときは、ミスヒット信号をプロセッサに対して出力する。

【0020】従って、本発明によれば、グラフィックスコントローラにおいて、論理アドレスと物理アドレスの変換ができ、仮想記憶に対応したグラフィックスシステムを構成することが可能となる。

【0021】さらに、論理アドレス情報および物理アドレス情報のほかに、制御情報として、例えば、タスク番号、アクセスモード制御情報またはページサイズ情報を付加することにより、マルチタスク処理への対応を簡単にしたり、不正なメモリアクセスを禁止したり、あるいは使用するアクセス変換情報の数を削減することが可能となる。

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0022】図1は本発明の第一実施例を示すブロック構成図で、本発明をグラフィックスシステムに適用した場合を示す。また図2はそのアドレス変換情報の構成を示す説明図および図3はその仮想記憶によるメモリマップを示す説明図である。

【0023】本第一実施例は、MMUを内蔵したプロセッサ1から入力されたデータにより論理アドレスとしての描画アドレス14を出力する描画アドレス発生器（AG）21を含むグラフィックスコントロールユニット4と、描画アドレス14を物理アドレス情報に変換しメモリ2に対して出力するTLB7を備えたアドレス変換装置としてのグラフィックスコントローラ3において、本発明の特徴とするところの、TLB7は、前記論理アドレス情報としてのページID16と前記物理アドレス情報としての物理ページ番号18とを一組として記憶するように構成したアドレス変換情報5を4個組み合わせ構成され、入力される前記論理アドレス情報に対し、前記複数のアドレス変換情報5の中から適合した一つのアドレス変換情報5を選択し当該アドレス変換情報5に含

まれる物理アドレス情報としての物理ページ番号18をメモリ2に対して出力し、適合したアドレス変換情報5を選択できないときミスヒット信号19をプロセッサ1に対して出力する手段を含んでいる。

【0024】なお、図1において、4はグラフィックスコントローラ手段を有するグラフィックスコントロールユニットであり、プロセッサ1から入力されるデータに基づいて描画アドレス14を生成出力する描画アドレス発生器（AG）21を含んでいる。また、10はプロセッサ1がメモリ2やグラフィックスコントローラ3をアクセスするためのシステムアドレスバス、11はシステムデータバス、12はグラフィックスコントローラ3がメモリ2をアクセスするためのグラフィックスアドレスバス、13はグラフィックスデータバス、および17は描画アドレス14の一部でページ内オフセットである。

【0025】ここで、描画アドレス14は、ページID16とページ内オフセット17に分けられ、ページID16はTLB7への入力として用いられ、ページ内オフセット17はTLB7の出力である物理ページ番号18と結合されてグラフィックスアドレスバス12を構成する。本第一実施例では、アドレスバスは24ビットであり、ページID16およびページ内オフセット17はともに12ビットである。従って、1ページは4キロバイトである。

【0026】ここで、システムアドレスバス10とグラフィックスアドレスバス12とは物理アドレスであり、描画アドレス14は論理アドレスである。

【0027】次に、本第一実施例の動作について説明する。最初、プロセッサ1はグラフィックスコントローラ3に対して、使用するメモリの割付や座標の設定等を行う。図3の場合では、論理アドレス空間の202000H～204FFFH番地までをワークエリアとして使用し、その中で描画を行うように設定している。

【0028】次に、プロセッサ1は必要に応じて直線や円弧等のグラフィックス描画、あるいは指定領域を別の領域にコピーするなどの処理を指示する。グラフィックスコントローラ3はこの指示を受けると、描画アドレスや描画データを発生する。従来のグラフィックスコントローラはここで発生した描画アドレスをそのまま用いてメモリアクセスを行っていた。しかし、ここで得られる描画アドレス14は論理アドレスなので、仮想記憶システムではこれを物理アドレスに変換する必要がある。そのために、一たん描画アドレス14を下位12ビットのページ内オフセット17と上位12ビットのページID16に分け、ページID16をTLB7に入力する。描画アドレス14の示す値が203123H番地とすると、ページID16は203H、ページ内オフセット17は123Hである。

【0029】TLB7には最初何も登録されていない。そこへ最初の描画アドレス14のページID16（20

3H)をキーとして入力すると、このキー入力に対応するアドレス変換情報はTLB7内に存在しないのでミスヒット信号19が出力され、プロセッサ1の割込みを引き起こす。同時に、グラフィックスコントローラ3はその実行を一時停止する。プロセッサ1は、TLB7からのミスヒット信号19を認識したら、グラフィックスコントローラ3からミスヒットの原因となった描画アドレスのページID16を読み出し、それに対応する物理ページ番号(206H)を求める。この物理ページ番号18を求めるアルゴリズムは、使用するプロセッサやOS

によって定められるもので、グラフィックスプロセッサは関知しない。求められた物理ページ番号18とページID16により図2に示すアドレス変換情報5が作成されたら、プロセッサ1はその情報をTLB7に登録する。

【0030】この登録を待って、グラフィックスプロセッサ3が動作を再開すると、TLB7は入力のページID16(203H)に対して物理ページ番号18(356H)を出力する。そして、物理ページ番号18(356H)とページ内オフセット17(123H)を結合した356123Hを物理アドレスとしてグラフィックスアドレスバス12へ出力し、描画のためのメモリアクセスを行う。

【0031】以降、TLB7に登録されたと同じページIDを持つ描画アドレス14に対しては、即座に物理ページ番号18を得ることができる。TLB7に登録されていないページIDを持つ描画アドレスの場合は、再びミスヒット信号19を出力し、プロセッサ1に新しいアドレス変換情報5を登録してもらう。

【0032】もし、TLB7に新しいアドレス変換情報5を登録する余地がなくなったときは、すでに登録されているアドレス変換情報5の一つを選び、その情報を削除して、その部分に新しい変換情報を登録する。プロセッサ1が論理アドレスと物理アドレスの対応を変更したり、物理ページをスワップアウト(メモリ上のあるページを補助記憶に待避し、その部分を新しいページとして使用すること)した場合は、その変更をTLB7にも反映させる必要がある。このとき、削除すべきアドレス変換情報5の決定や、アドレス変換情報5を任意の位置に登録する操作は、全てプロセッサ1が行う。そのため、プロセッサ1はTLB7の内容をメモリ2を読み出したまたは書き込みするのと同様に自由にアクセスできる。

【0033】以上のように、従来のグラフィックスコントローラのアドレス出力をTLBで変換することによって、論理アドレスである描画アドレスを物理アドレスに変換でき、仮想記憶に対応することができる。TLBの操作は全てプロセッサが行うので、仮想記憶の実現方法としては任意の方式を取ることができる。TLBの大きさやその内容がプロセッサ側のMMUのTLBと一致している必要はない。ただし、プロセッサ側のMMUが管

理するページの大きさとグラフィックスコントローラ側のTLBによるページの大きさは一致している必要がある。

【0034】また、本第一実施例のように簡単な構成のTLBの場合、それ自体ではタスク間のメモリ保護機能はないが、その場合プロセッサでのタスクが切り替わるとにTLBの内容を無効にすることで、不正なアクセスを防ぐことができる。また、各タスクごとにメモリ上にTLBのコピーを持ち、タスクの実行中は当該タスクに関するアドレス変換情報しかTLBに存在しないようにTLBを入れ換えることでもよい。

【0035】図4は本発明の第二実施例を示すブロック構成図で、図1の第一実施例において、TLBにマルチタスクへの対応とメモリ保護手段を付加した場合を示す。また、図5はそのアドレス変換情報の構成を示す説明図、および図6はその仮想記憶によるメモリマップを示す説明図である。

【0036】本第二実施例は、本発明の特徴とするところの、TLB8は、アドレス変換情報6として、図5に示すように、エリアID15およびページID16からなる論理アドレス情報と、物理ページ番号18からなる物理アドレス情報とのほかに、変換処理を制御する制御情報としての、アクセスモードフラグと、ページサイズフラグと、タスク番号とを含み、その処理手段として、描画を依頼したタスクの番号を格納するタスク番号レジスタ(TR)9を含んでいる。なお、TLB8のエントリー数(登録可能なアドレス変換情報の数)は8である。

【0037】TLB8は三つのキー入力フィールドと2ビットのフラグ情報、および一つの出カフィールドからなる。それに対応して、描画アドレス14はエリアID15、ページID16、およびページ内オフセット17の三つの部分に分けられ、エリアID15とページID16はキーとしてTLB8へ入力される。図4では、エリアID15は12ビット、ページID16は8ビット、ページ内オフセット17は12ビットである。さらに、タスク番号レジスタ9もTLB8へのキー入力として用いる。これは、マルチタスク処理の場合、アドレス変換情報が自タスクの変換情報であることを確認できなければ、他のタスクのアドレス変換情報にヒットして他のタスクの領域を破壊する可能性が生ずるからである。

【0038】TLB8の変換情報に付属する2種類のフラグ情報は、以下のような意味を持つ。アクセスモードフラグが「1」のアドレス変換情報6はリードアクセスのみが可能で、ライトアクセスは不許可であることを意味し、アクセスモードフラグが「0」のアドレス変換情報6はリードおよびライトともに許可されていることを意味する。

【0039】ページサイズフラグが「1」であるアドレス変換情報6はページID16のキー入力を見捨ててT

TLB8を参照し、1ページの大きさをページID16とページ内オフセット17を合わせた20ビット(=1メガバイト)とする。ページサイズフラグが「0」であるアドレス変換情報6は、エリアID15とページID16の両方でTLB8を参照し、1ページの大きさはページ内オフセット17の12ビット(4キロバイト)とする。これは、フレーム領域やフォント情報など、物理アドレス空間に既に連続してマッピングされている領域については、1ページの大きさを大きく取ることによって、TLB8のエントリ使用量を少なくするためである。

【0040】次に、本第二実施例におけるアドレス変換方法を図6を用いて説明する。

【0041】最初、各タスクは描画用のワークエリアとして任意の大きさのアドレス空間をOSに要求し、それを獲得する。図6では、タスク1が300000H~302FFFFHを、タスク2が2FE000H~2FFFFFを割り当てられている。各タスクは、獲得したワークエリアに対し描画座標系やその他パラメータを設定する。これ以降、タスクはここで定義されたワークエリアに対して描画を行う。

【0042】各タスクでの描画要求は、OSを通してグラフィックスコントローラ3へ送られる。このとき、OSはグラフィックスコントローラ3へその描画を要求したタスクの番号をタスク番号レジスタ9へ設定する。グラフィックスコントロールユニット4が生成した描画アドレス14は、エリアID15、ページID16、およびページ内オフセット17の三つの部分に分けられ、前二者はTLB8へ入力される。

【0043】TLB8では、以下の全ての条件を満たすアドレス変換情報6が存在すれば、その描画アドレスはヒットしたもので、対応する変換情報の物理ページ番号18を出力する。もし、その条件を満たすアドレス変換情報6が存在しなければ、ミスヒット信号19を出力する。

(a) タスク番号レジスタ9の値とTLB8のタスク番号フィールドの値が等しい。またはタスク番号レジスタ9の値が000Hである。またはTLB8のタスク番号フィールドの値が0FFFFHである。

(b) 描画アドレスのエリアID15の値がTLB8のエリアIDフィールドの値と等しい。

(c) ページサイズフラグの値が「0」で、かつ描画アドレスのページID16の値がTLB8のページIDフィールドの値と等しい。またはページサイズフラグの値が「1」である。

【0044】ヒットした場合、ページサイズフラグが「0」のときは物理ページ番号とページ内オフセットを結合して物理アドレスを得る。ページサイズフラグが「1」のときは、物理ページ番号にページIDとページ内オフセットを加え、物理アドレスとする。例えば、T

LBが図6に示すような状態で描画アドレスが301234Hの場合、対応するアドレス変換情報のページサイズフラグが「0」であるので、物理ページ番号(356H)とページ内オフセット(234H)を結合した356234Hが物理アドレスとなる。一方、描画アドレスが654321Hの場合、対応するアドレス変換情報のページサイズフラグが「1」であるので、物理ページ番号(D00H)にページID(54H)とページ内オフセット(321H)を結合したD54321Hが物理アドレスとなる。

【0045】ミスヒットの場合は、グラフィックスコントローラ3は一たん処理を中断し、ミスヒット信号19によってプロセッサ1に処理を引き渡す。プロセッサ1では、グラフィックスコントローラ3からミスヒットを引き起こしたタスク番号と論理アドレスを読み出し、それらに従ってテーブル参照を行い、アドレス変換情報の作成、およびアクセスモードフラグやページサイズフラグの設定を行い、これらの情報をTLB8へ登録する。

【0046】なお、タスク番号は任意に定めてよいが、特別な値として000Hと0FFFFHを用いる。000Hは特権レベルのタスクを表し、この値を持つタスクは全ての論理アドレス空間をアクセスできる。0FFFFHは共通タスク領域を表し、この値を持つアドレス変換情報は全てのタスクからアドレスが可能である。

【0047】さらに、描画アドレスに対してTLBがヒットした場合でも、そのアクセスがライトアクセスで、かつヒットしたエントリのRフラグが「1」であった場合は、不正アクセスとなる。これはフォント情報など変更されては困る領域やROMエリアへのライトアクセスを防止するためである。当該アクセスがリードアクセスかライトアクセスかはグラフィックスコントロールユニット4が出力するリードライト信号20によって識別する。

【0048】また、第一実施例のように、TLBの構成の中にメモリの保護機能を取り入れた場合は、アドレス変換情報を登録する段階でOSが管理するメモリ保護機能を取り入れ、不正なアクセスを防止することが可能である。この場合には、グラフィックスコントローラは、プロセッサから描画指示を受け取った後はプロセッサとは独立に処理を行うことが可能になるので、プロセッサとグラフィックスコントローラが別々のタスクの処理を同時に行うことも可能である。

【0049】なお、以上の本発明の実施例ではグラフィックスコントローラについて説明を行ったが、本発明によるアドレス変換装置の目的は、周辺コントローラが生成する論理アドレスを物理アドレスに変換することにより仮想記憶制御されたメモリへのアクセスを可能にすることである。このことから、本発明がグラフィックスコントローラに限らずDMAコントローラや通信コントローラ、ディスクコントローラなど、仮想記憶されたメモ

11

リをアクセスする必要がある周辺コントローラに適用が可能であることは明らかである。

【0050】

【発明の効果】以上説明したように、本発明は、例えば、周辺コントローラとして、グラフィックスコントローラにおいて、論理アドレスと物理アドレスの変換を行うことができ、仮想記憶に対応したグラフィックスシステムを構成することができる効果がある。

【0051】また、本発明によるグラフィックスコントローラのアドレス変換装置では、グラフィックスコントローラにはMMUの一部であるTLBのみを内蔵させるというわずかなハードウェア増設と、他の処理はOSによって行うことによって、自由度が高く、かつ高速に論理アドレスと物理アドレスを変換することができ、さらに、マルチアクセスに対応したり、不正アクセスを防止したり、アドレス変換情報の数を削減することもでき、その効果は大である。

【図面の簡単な説明】

【図1】 本発明の第一実施例を示すブロック構成図。

【図2】 そのアドレス変換情報の構成を示す説明図。

【図3】 その仮想記憶によるメモリマップを示す説明図。

【図4】 本発明の第二実施例を示すブロック構成図。

【図5】 そのアドレス変換情報の構成を示す説明図。

【図6】 その仮想記憶によるメモリマップを示す説明図。

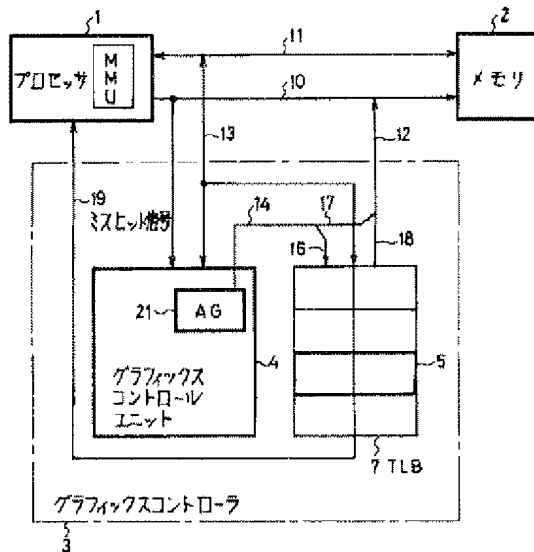
12

【図7】 従来例を示すブロック構成図。

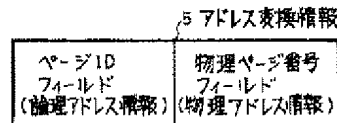
【符号の説明】

- 1、31 プロセッサ
- 2、32 メモリ
- 3 グラフィックスコントローラ
- 4 グラフィックスコントロールユニット
- 5、6 アドレス変換情報
- 7、8、37 変換参照バッファ (TLB)
- 9 タスク番号レジスタ (TR)
- 10 システムアドレスバス
- 11 システムデータバス
- 12 グラフィックスアドレスバス
- 13 グラフィックスデータバス
- 14 描画アドレス
- 15 エリアID
- 16 ページID
- 17 ページ内オフセット
- 18 物理ページ番号
- 19、38 ミスヒット信号
- 20 リードライト信号
- 21 描画アドレス発生器 (AG)
- 33 論理アドレス
- 34 物理アドレス
- 35 エリアテーブル
- 36 ページテーブル

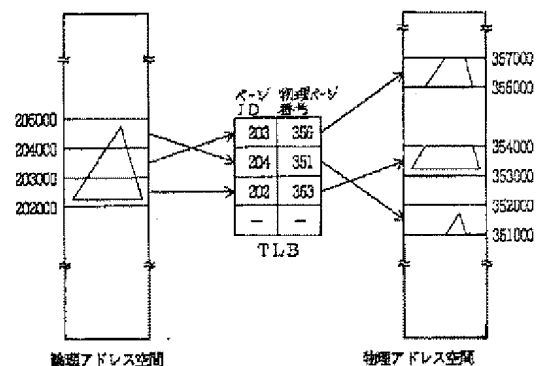
【図1】



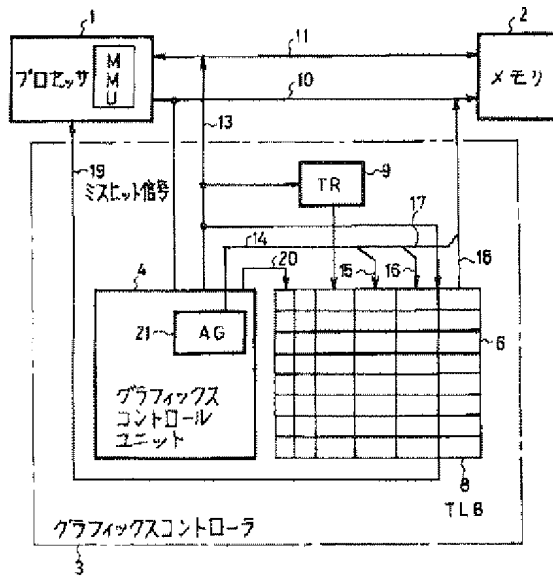
【図2】



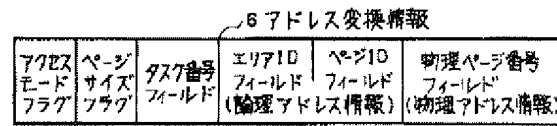
【図3】



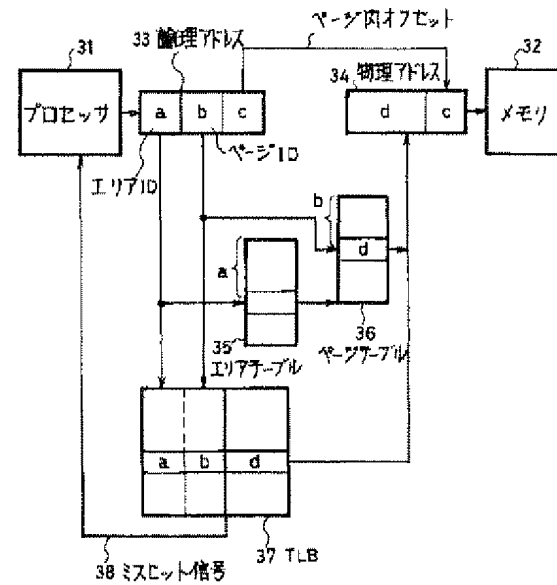
【図4】



【図5】



【図7】



【図6】

